

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

4693416

Basic Patent (No,Kind,Date): JP 59115564 A2 840704 <No. of Patents: 002>

THIN FILM TRANSISTOR (English)

Patent Assignee: SEIKO DENSHI KOGYO KK

Author (Inventor): SUZUKI TERUYA

IPC: *H01L-029/78; H01L-021/318; H01L-027/12; H01L-029/62

CA Abstract No: *102(06)054727K;

Derwent WPI Acc No: *C 84-203562;

JAPIO Reference No: *080235E000046;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 59115564	A2	840704	JP 82228188	A	821223	(BASIC)
JP 93046105	B4	930713	JP 82228188	A	821223	

Priority Data (No,Kind,Date):

JP 82228188 A 821223

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01403964 **Image available**

THIN FILM TRANSISTOR

PUB. NO.: 59-115564 [JP 59115564 A]

PUBLISHED: July 04, 1984 (19840704)

INVENTOR(s): SUZUKI TERUYA

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-228188 [JP 82228188]

FILED: December 23, 1982 (19821223)

INTL CLASS: [3] H01L-029/78; H01L-021/318; H01L-027/12; H01L-029/62

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 275, Vol. 08, No. 235, Pg. 46,
October 27, 1984 (19841027)

ABSTRACT

PURPOSE: To obtain a gate oxidized film which has good quality of film by forming a nitrided or oxidized film by a plasma CVD and then heat treating it at the special temperature or higher.

CONSTITUTION: A gate oxidized film 2 is formed on a gate electrode 3 on a glass plate 1, an amorphous Si or polysilicon layer 6 is selectively accumulated, source and drain electrodes 4, 5 are attached, and a protective film 7 is covered, thereby completing a thin film transistor. In case of forming the film, the flow ratio of the $\text{Si}(\text{sub } 4)/\text{N}(\text{sub } 2)\text{O}$ is selected to 1/7-1/150, an $\text{SiO}(\text{sub } 2)$ film is formed at 0.01- 1Torr, 10-50W of electric power, and 100-300c of substrate temperature, and calcined in $\text{N}(\text{sub } 2)$ at 400c or higher. The film formed by this plasma CVD method has a boundary level reduced by approximately 1/10 order, its withstand voltage is improved by approximately 10 times, and pinholes are further reduced. Even if an $\text{Si}(\text{sub } 3)\text{N}(\text{sub } 4)$ film is formed with $\text{SiH}(\text{sub } 4)+\text{NHO}(\text{sub } 3)+\text{N}(\text{sub } 2)$ gas, similar effect can be obtained, hysteresis can be remarkably reduced, and it is extremely effective to improve the characteristics of either film.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-115564

⑪ Int. Cl.³
H 01 L 29/78
// H 01 L 21/318
27/12
29/62

識別記号

庁内整理番号
7377-5F
7739-5F
8122-5F
7638-5F

⑬ 公開 昭和59年(1984)7月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 薄膜トランジスタ

⑮ 特 願 昭57-228188
⑯ 出 願 昭57(1982)12月23日
⑰ 発 明 者 鈴木光弥
東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内
⑱ 出 願 人 セイコー電子工業株式会社
東京都江東区亀戸6丁目31番1
号
⑲ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 薄膜トランジスタ

2. 特許請求の範囲

基板、ゲート、ゲート絶縁膜、半導体膜、ソース、ドレインなどからなる薄膜トランジスタにおいて、ゲート絶縁膜はプラズマCVDによつて作成した窒化膜または酸化膜であり、かつ、その膜は温度400℃以上で熱処理した膜であることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

本発明は、薄膜トランジスタに関し、特に、ゲート絶縁膜は、プラズマCVD（あるいはグロー放電CVDともいわれる）で作成し、次に熱処理したゲート絶縁膜に関するものである。

近年、アクティブマトリクスを使つた液晶ディスプレイ、特に液晶テレビ等の研究開発が行なわれている。アクティブマトリクスとして、シリコ

ン単結晶を基板にしたMOSトランジスタを使う他に、薄膜トランジスタによる液晶ディスプレイがある。薄膜トランジスタの場合は、シリコン単結晶ウェハーを基板にしたMOSアレイと比較して、基板として透明なガラス基板を使用でき、そのために、ツイストネマティック液晶モードを使うことができ、コストが安くなり、さらに、大型ディスプレイを作ることができる。その反面、ガラス基板を使う場合は、シリコン単結晶の場合と異なり、トランジスタ製造プロセスは、温度500℃以下の低温プロセスとする必要がある。低温でゲート絶縁膜を作成する方法として、通常、低圧力によるCVD法があるが、温度500℃で作成した酸化膜は、界面単位が 1×10^{11} 以上あり、耐圧が低く、ピンホールがあり、良い膜質のゲート絶縁膜が得がたい。

本発明は、上述の欠点を除去するために、温度100～300℃で、プラズマCVDによつて、窒化膜、あるいは酸化膜を作成し、次に温度400℃以上で熱処理を行なうことにより、所望のゲ

ト絶縁膜を得ることを目的とする。

次に本発明を詳細に説明する。

第1図は、本発明の薄膜トランジスタの縦断面図を示し、1は透明基板であり、石英ガラスや通常のガラスを使用する。2はゲート絶縁膜であり、プラズマCVD法によつて作成し、窒化膜Si₃N₄や酸化膜SiO₂膜であり、3はゲート電極、4はドレイン電極、5はソース電極であり、各電極は、Al, Al-Si, ポリシリコン、金、クロムなどからなる電極である。6は半導体膜であり、アモルファスシリコンや、ポリシリコン膜を使用する。7はパッシベーション膜であり、PSG、または窒化膜である。

次に、本発明によるゲート絶縁膜の製造方法と、その膜質についての実験結果を述べる。

まず、プラズマCVDを使つたSiO₂膜は、次の方法によつて作成した。使用ガスは、SiH₄, N₂O であり、SiH₄/N₂O 流量比 1/1 ~ 1/150 とし、デポジション圧力 0.1 ~ 1 torr, 放電Power 10 ~ 50 watts, 基板温度 100 ~ 300 °C で

ルが低下した。プラズマCVDによる窒化膜について、次に述べる。使用ガスは、SiH₄, HNO₃, N₂ ガスを使用した。SiH₄/NH₃ 流量比 1/2 ~ 2, N₂: 10 ~ 100 SCCM, 圧力 0.1 ~ 0.5 torr, 放電Power 10 ~ 100 watts, 基板温度 200 ~ 300 °C とした。次に、温度 400 °C で以上で水素雰囲気中で焼成した。その結果、酸化膜の場合と同様の傾向を得ることができ、エッチレートで約 1/2, 界面単位で 1 ケタ低下した。

第2図は、本発明で用いるプラズマCVDで作成した窒化膜のMIS構造の容量対電圧特性を示し、水素雰囲気中で焼成した場合の特性1.0は、水素焼成しない場合の特性1.1と比較し、ヒステリシスの幅が約 1/2 となつた。

以上述べてきたように、本発明によるプラズマCVDによつて作成し、次に熱処理した絶縁膜は、界面単位の向上, エッチレートの低下, 耐圧の向

特開昭59-115564(2)

ある。このようにして作成した酸化膜を、さらに温度 450 °C、窒化雰囲気中で焼成した。これらの絶縁膜と、他の方法で作成した絶縁膜を比較したデータを下の表に示す。

表

製造法	界面単位 Q _{ss} /q	ピンホール (膜厚約100Å)	耐圧 V/cm	エッチレート BHF (Å/sec)
Low Pressure CVD	1×10 ¹²	大	1×10 ⁶	100
Plasma CVD	8×10 ¹¹	小	3×10 ⁶	100
Plasma CVD +450°C熱処理	2×10 ¹¹	ほとんどない	1×10 ⁷	50

表から明らかなように、プラズマCVDによつて作成した酸化膜は、高温低圧CVDで作成した酸化膜より、膜質は少し良くなり、さらに、温度 450 °C で焼成した膜は、焼成しない場合と比較して、エッチレートが約 1/2, 界面単位が約 1 ケタ低下し、耐圧が約 10 倍増加し、さらにピンホー

上、また窒化膜に関しては、ヒステリシスの減少が顕著にみられ、薄膜トランジスタの特性向上に極めて有効である。

4. 図面の簡単な説明

第1図は、本発明の薄膜トランジスタの縦断面図、第2図は、本発明で用いるプラズマCVDで作成した窒化膜の電気特性図である。

- 1…透明基板
- 2…ゲート絶縁膜
- 3…ゲート
- 4…ドレイン
- 5…ソース
- 6…半導体膜
- 7…保護膜

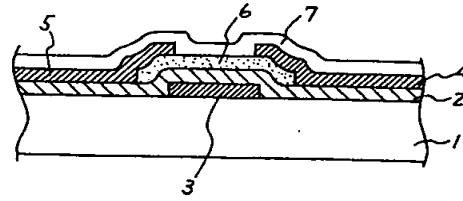
- 1.1…プラズマCVDによる窒化膜の特性
- 1.2…1.1を水素雰囲気中で熱処理した特性

以上

出願人 株式会社 第二精工舎
代理人 弁理士 最上



第 1 圖



第 2 圖

